

(5) INTEGRATED CIRCUIT PACKAGE

(11) 60-22352 (A) - (43) 42 1985, (19) JP

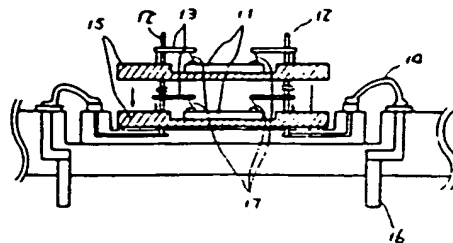
(21) Appl. No. 58-130202 (22) 19.7 1983

(71) TOSHIBA K.K. (72) MASATOSHI SEKINE

(53) Int. Cl. H01L25/04

PURPOSE: To facilitate high density mounting by a method wherein pins are provided to a pedestal with terminals planted in enclosure manner, and substrates, which are mated with the pins and on recessed parts of which chips are mounted, and wiring boards are closely laminated alternately.

CONSTITUTION: An LSI chip 11 is bonded to a bed 15. The beds 15 and wiring boards 13 are laminated alternately. Interconnection between the LSI and the wiring board 13 is performed and interconnection between the LSIs is performed through a pin 12. Connection is made by direct connection of soldering or by bonding of a lead wire. The thickness of ordinary LSI chip can easily be made at mm order or less and the thickness of one set including internal lead wires can be made 1mm or less.



257/686

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭60-22352

⑪ Int. Cl.
H 01 L 25'04

識別記号

庁内整理番号
7638-5F

⑬ 公開 昭和60年(1985)2月4日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 集積回路パッケージ

⑮ 特 願 昭58-130202
⑯ 出 願 昭58(1983)7月19日
⑰ 発 明 者 関根優年

川崎市幸区小向東芝町1 東京芝
浦電気株式会社総合研究所内
⑱ 出 願 人 株式会社東芝
川崎市幸区堀川町72番地
⑲ 代 理 人 弁理士 則近憲佑 外1名

1 発明の名称

集積回路パッケージ

2 特許請求の範囲

複数の入出力端子を有する台座に前記端子と夫々接続された複数の導体柱が固い状に設けられ、この台座上に前記導体柱と嵌合し、凹部に集積回路チップが固定された基板と、前記チップと導体柱間を適宜接続する配線板とが交互に配置して積層されてなる事を特徴とする集積回路パッケージ。

3 発明の詳細な説明

(発明の属する技術分野)

本発明は、LSIのパッケージ方法に関し、特に複数のLSIを同一パッケージに封入することに関するものである。

(従来技術とその問題点)

従来より、LSIチップは、セラミック又は、プラスチックパッケージの内に封入され、パッケージはリード線を外部に引出している構成が大部分である。大規模回路が普通になるに従い、LSIの高

集積化、又は、多くのLSIを1つの大きなパッケージ内に封入して、システムの小型化を計る方法も見られるが、従来からのLSIのパッケージ方法は、第1図に示すように平面的に複数のLSIを配置するのが普通である。

又、1つのLSIをプラスチックパッケージする時には第2図に示すようなリード、フレームを用い、LSIチップをベッド上に配置し、各リード線とLSIとをボンディングした後、熱硬化性樹脂により封入するのが普通である。

ところが、こうしたLSI^{1/2}次元の又は、個別に配置する方法では、LSIを高集積化することには、困難があった。

(発明の目的)

本発明は、簡便で、低コストなパッケージ方式を実現するものである。

(発明の概要)

本発明は入出力端子を有する台座上にピンを固い状に設け、これに嵌合し、凹部にチップが搭載された基板と、チップとピンを適宜接続する配線

面とを交互に密着して積層したものである。

(発明の効果)

本発明によれば、高出力の実装が極めて容易に行なえると共に、チップ間の配線がピンにより行なわれるので、配線長が短かく遅延容量を小さくすることができ低消費電力化、高速化に大きな効果がある。

(発明の実施例)

以下、図を参照して詳細な説明を行う。第3図に本方式によるパッケージ方法を示す。まず、各LSIは第4図に示すような、ベット15にあらわすように、張り付け等の技術を用いて搭載されている。このベットは金属基体43と絶縁体45との積層構造よりなり、さらに積層方向に配線が行えるように通孔44が開けられている。金属基体43は、LSI基盤の位置を取ると同時に、ヒートシンクとしての働きをもち、高消費パッケージによる温度上昇を防ぐ働きがある。第4図は配線板(内部フレーム)を示し、内部リードフレーム

32(チップの패드33を所定のピン(通孔)に接続)と絶縁支持層により形成される。各LSIチップを各ベットに配置したあと、第3図のごとく各ベットと第4図に示す配線板とを交互に積み重ね、LSIと内部フレーム、ピン(導体柱12)を通じてLSI間の相互接続を行う。この内部フレームとLSIとの接続方法は、ろう付けによる内部フレームの通付けあるいは、リードワイヤボンディングすることによって行なり。内部リードフレーム32端には上記ピン12用の受け台が設けられている。通常のLSIチップの厚さは約300 μ m程度であり、LSIベットの厚さは1 μ m以下にすることは容易であり、及び内部リード線を含む1組の厚さは、1 μ m以下にすることは容易に実現できる。又、これら基板間の密着は樹脂等による接着又は圧着で良い。

したがって、10 μ m程度のLSIを実装した場合でも、パッケージ第6図に示すような形状でありその厚さの増加は、数 μ m程度とごく僅かである。

本発明による長所としては、LSIチップの密装

密度が大幅に向上すること、LSIチップ間の内部配線長が数 μ mであるため、LSIチップに搭載された配線の内部接続従来の方式に比べ、大幅に低減できるため、LSIのOutput bufferの駆動電力を小さくすることができLSIの電力を低減することができ、LSIチップ間が近いので、高速化が実現できることなどが上げられる。

4. 図面の簡単な説明

第1図は、通常のマイクロパッケージの上面図、第2図は、通常のリードフレームの構造の上面図、第3図は本発明によるパッケージの断面図、第4図は、本発明に採用される内部リードフレームの上面図、第5図はLSIベットの斜視図、第6図はLSIパッケージの斜視図である。

図において、

11…LSIチップ、12…ピン、13…内部リードフレーム、14…ボンディングワイヤ、15…ベット、16…リード線、22…チップヘッド、21…リード線、31…チップ領域、32…内部リードフレーム、33…패드、

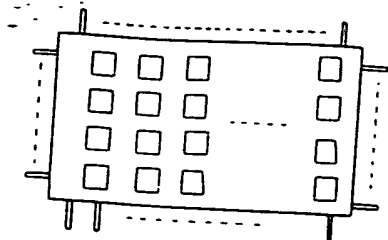
34…絶縁層、41…LSIチップ、42…ベット、43…基体、44…孔、45…絶縁体、17…配線、

代理人 井原士 期 近 藤 祐
(12名)

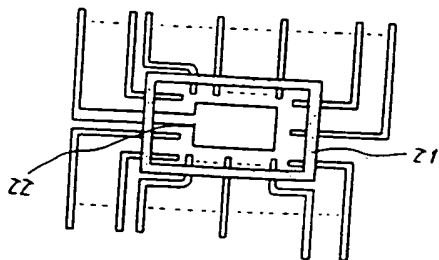
図のモノ(10倍)に
 される。各LSIを
 1. 0.5mmのピッチ
 にと交互に組込む
 (部品柱12)を有
 する内蔵フレーム
 上に、内蔵フレ
 ーム・メモリー、
 フォトリソフレ
 ムが取り付けられ
 る約300mm程
 の以下にするこ
 とを旨とした超
 小型の実現でき
 る等による結果

・実装した組合
を拒絶であり
強ひである。
チップの世に

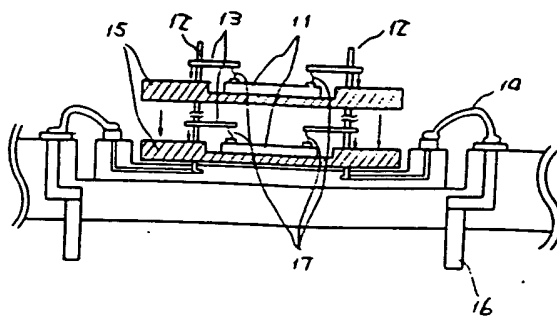
三 一 四



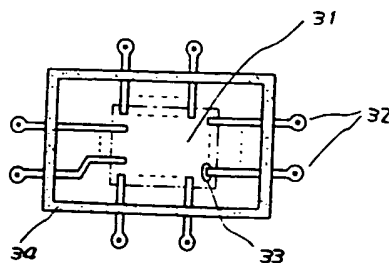
第 2 题



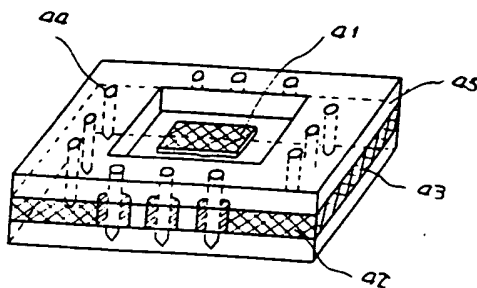
第 3 回



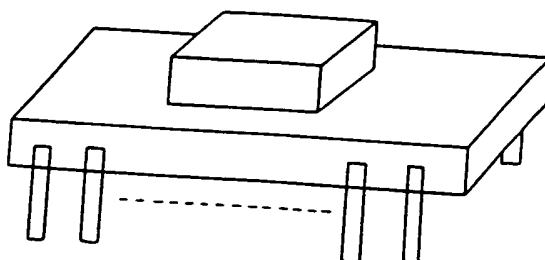
第 4 回



第 5 图



第 6 章



TRW DEVELOPS WIRELESS MULTILAYER INTERCONNECT SYSTEM

By Richard W. Lay

BALTIMORE — Researchers at TRW Inc.'s Electronic Systems Group (Redondo Beach, Calif.) are working to perfect a wireless and connectorless multilayer interconnection system which they claim could reduce interconnect capacitance by as much as 80 percent.

Called Button Board, the concept is based on the compression of small (0.042 x 0.042-inch), springlike conductive "buttons" with a clamping force in a solderless, wireless and connectorless environment to effect a connection between two PC cards, lying either face-to-face or with conductive signal paths brought out to the PC card's edges.

TRW In Baltimore

Robert Smolley, who revealed the TRW project at the Fourth Annual International Electronics Packaging Conference held here last week, explained that in a planar packaging system where multilayer PC cards are laid face-to-face, conductive spacers would be used between successive button boards to keep PC card components from touching. In this way it would be possible to build multiple layers of multilayer boards into very densely populated, yet wireless, circuit environment.

Although much work still remains to be done, preliminary shock and vibration reliability information gathered from an experimental device which contained 30,000 series contacts provided encouraging results.

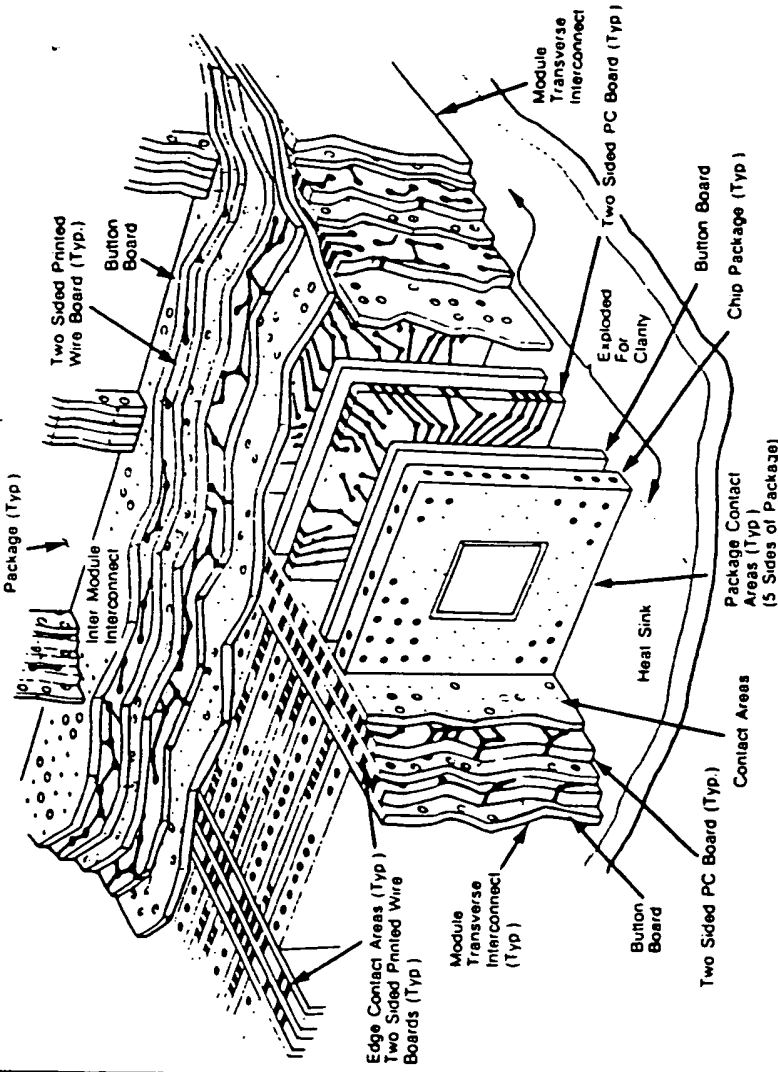
Among advantages of the system which Smolley listed were low contact resistance of under 0.4 mΩ, and multiple conductive paths through the button contact because of the unique structure of the button itself, which results in multiple contact points.

Button Construction

The button is constructed of 0.002 x 0.002-inch-diameter silver-copper wire, which is gold plated to obtain the finished dimension. Because of the winding of these wires during fabrication, the contact spring is a random column providing multiple contact points. By controlling the amount of wire used in constructing the button, control of the spring constant, as well as the contact pressure, is achieved, Smolley said. The buttons themselves protrude 0.10 inches above and below an acrylic button board, he added.

The whole concept behind Button Board is to eliminate the relatively high-impedance long wire harnesses and numerous pin and socket connections associated with today's board-to-

THREE DIMENSIONAL PACKAGING



board interconnect technology.

In preparation for higher-speed circuits (from 100 MHz to the gigahertz range), which will be associated with the VHSIC and gallium arsenide technology already on the drawing board, conductive line lengths on PC boards and between PC boards must be drastically shortened.

The problem with such conventional interconnection systems is that all input and output leads must terminate on the circuit board edge to accommodate connectors or wire wrap terminations.

"The signals that originate at the top of the PC boards or from any component must, in almost all applications, weave through

other signal paths to reach the terminating edge of the PC board," Smolley said. However, with the Button Board, predesignated areas such as the middle, top and bottom of the board can be designated as a "signal out" point and the shortest electrical path can be taken between any two boards.

"In actual application, the interconnect areas can be of varying sizes and be located in any area of the board," Smolley explained.

Other Advantages

The construction of a three-dimensional interconnect technology is achievable with current technology, although TRW's work has not progressed that far, Smolley said. Among

- Minimization of lead fan-out problems because lead I/Os can be located on five surfaces of a chip package;

- A virtually unlimited number of interconnections because of the ability of the system to add another Button Board and a circuit layer;

- Superior thermal performance because all chip packages are in contact with a primary heat exchanger.

Because the Button Board is primarily a mechanical assembly, each button can be tested prior to assembly, and can be taken out of a circuit—and reused—at any time. This is a feature which enhances circuit modification turnaround time. Because all parts of the system are mechanically compressed,

365/63